

Válido somente com assinatura e carimbo do IFCE
INSTITUTO FEDERAL DO CEARÁ - IFCE
CAMPUS FORTALEZA
DEPARTAMENTO DE TELEMÁTICA
CURSO 01502-ENGENHARIA DE COMPUTAÇÃO

PROGRAMA DE UNIDADE DIDÁTICA – PUD

DISCIPLINA: ARQUITETURA DE COMPUTADORES	
Código:	01.502.13
Carga Horária:	80
Número de Créditos:	4
Código pré-requisito:	01.502.3
Semestre:	3
Nível:	Bacharelado
EMENTA	
O Computador (Conceitos Básicos, modelo de Von Neuman). Conjunto de instruções (programação assembly). Organização interna de um processador (Monociclo, Multiciclo). RISC. Pipeline. Superescalaridade. Hierarquia de Memória (cache, memória virtual).	
OBJETIVO	
<ul style="list-style-type: none">• Compreender como o hardware executa os programas.• Relacionar aspectos de hardware e software com o desempenho dos programas.• Saber como os elementos da arquitetura e da organização do processador afetam o desempenho de um programa.• Compreender as técnicas usadas pelos projetistas de computadores para melhorar o desempenho.	
PROGRAMA	
Unidade 1: O Computador, Conceitos Básicos -- 1.1 Componentes de um computador (arquitetura Von Neumann); 1.2 Componentes de um processador; 1.3 A interface hw-sw (ISA e OP: organização do processador). Unidade 2: Conjunto de instruções (ISA) -- 2.1 Exemplos de programação; 2.2 Modos de endereçamento; 2.3 Quantidade de endereços da arquitetura. Unidade 3: Projeto lógico de um processador (organização interna) -- 3.1 Organização interna de um processador; 3.2 Ligação entre a organização interna do processador e seu conjunto de instruções; 3.3 Processador monociclo x multiciclo. Unidade 4: Avaliação de desempenho de processadores -- 4.1 Fatores que influenciam o desempenho; 4.2 Métodos para calcular o desempenho (comparação entre diferentes processadores); 4.3 Software de benchmark. Unidade 5: Estratégias para melhoria do desempenho da CPU -- 2.1 Pipeline; 2.1.1 Caminho de dados de um processador pipeline; 2.1.2 Problemas do pipeline (estrutural, de dados e de controle); 2.1.3 Tratando os problemas (forwarding, previsão de desvio); 2.2 RISC x CISC; 2.3 Superescalaridade (Despacho Múltiplo Dinâmico); 2.3.1 Os problemas de execução de instruções fora de ordem; 2.3.2 Despacho e finalização de instruções fora de ordem; 2.3.3 Renomeação de registradores e outras técnicas para execução fora de ordem; 2.4 VLIW (Very Long Instruction Word) – Despacho Múltiplo Estático. Unidade 3: Hierarquia de Memória -- 3.1 Cache; 3.1.1 Porque hierarquizar a memória; 3.1.2 Melhorando o desempenho com cache; 3.1.3 Princípio da localidade; 3.1.4 Estratégias de mapeamento (direto, completamente associativo, conjunto associativo); 3.1.5 Estratégias de substituição; 3.1.6 Escrita em cache; 3.2 Memória virtual; 3.2.1 Diferenças em relação à cache; 3.2.2 TLB (Translation Lookaside Buffer).	
METODOLOGIA DE ENSINO	
A disciplina é desenvolvida no formato presencial: <ul style="list-style-type: none">• Aulas expositivas;• Resolução de exercícios em sala de aula;• Lista de exercícios;• Trabalhos de pesquisa;• Uso de softwares de simulação de processadores.	

Válido somente com assinatura e carimbo do IFCE
INSTITUTO FEDERAL DO CEARÁ - IFCE
CAMPUS FORTALEZA
DEPARTAMENTO DE TELEMÁTICA
CURSO 01502- ENGENHARIA DE COMPUTAÇÃO

AVALIAÇÃO

A avaliação é realizada de forma processual e cumulativa. A saber: avaliações escritas, trabalhos extra-sala de aula e dinâmicas em sala. A frequência é obrigatória, respeitando os limites de ausência previstos em lei.

BIBLIOGRAFIA BÁSICA

PATTERSON, David A.; HENNESSY, John L. **Organização e projeto de computadores**. 3ª. Edição. Rio de Janeiro (RJ): Elsevier, 2005. 484 p.

WEBER, Raul Fernando. **Fundamentos de arquitetura de computadores**. 3ª. Edição. Porto Alegre (RS): Sagra Luzzatto, 2001/2004. 299 p. (Livros Didáticos UFRGS; v. 8).

PATTERSON, David A.; HENNESSY, John L. **Arquitetura de computadores : uma abordagem quantitativa**. Rio de Janeiro, RJ: Elsevier, 2014. 435 p.

BIBLIOGRAFIA COMPLEMENTAR

STALLINGS, William. **Arquitetura e organização de computadores: projeto para desempenho**. 5.ed. São Paulo (SP): Prentice-Hall, 2002. 786 p.

TORRES, Gabriel. **Hardware: curso completo**. Rio de Janeiro (RJ): Axcel Books, 1998. 894 p.

TOCCI, Ronald J.; WIDMER, Neal S.; MOSS, Gregory L. **Sistemas digitais: princípios e aplicações**. 11 ed. Rio de Janeiro (RJ): LTC, 2011.

D'AMORE, Roberto. **VHDL: descrição e síntese de circuitos digitais**. 2 ed. Rio de Janeiro (RJ): LTC, 2012. 308 p.

TANENBAUM, Andrew S.; AUSTIN, Todd. **Organização estruturada de computadores**. 6.ed. Rio de Janeiro, RJ: Prentice Hall do Brasil, 2013.

Coordenador do Curso

Setor Pedagógico
